



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Nobutaka KITAGAWA

GAU:

SERIAL NO: 10/800,999

EXAMINER:

FILED: March 16, 2004

FOR: SEMICONDUCTOR DEVICE HAVING A PROTECTION CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-321060	September 12, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913  
Joseph A. Scafetta, Jr.  
Registration No. 26,803

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

0380771  
101800,999

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    9 月 1 2 日  
Date of Application:

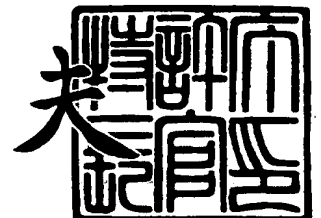
出 願 番 号                      特 願 2 0 0 3 - 3 2 1 0 6 0  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 3 2 1 0 6 0 ]

出      願      人                      株式会社東芝  
Applicant(s):

2 0 0 4 年    4 月    6 日

特 許                      官  
Commiss.  
Japan Paten.                      ce

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 2 8 1 2 5



【書類名】 特許願  
【整理番号】 A000302892  
【提出日】 平成15年 9月12日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 27/00  
【発明者】  
    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ  
                                レクトロニクスセンター内  
    【氏名】 北川 信孝  
【特許出願人】  
    【識別番号】 000003078  
    【氏名又は名称】 株式会社 東芝  
【代理人】  
    【識別番号】 100058479  
    【弁理士】  
    【氏名又は名称】 鈴江 武彦  
    【電話番号】 03-3502-3181  
【選任した代理人】  
    【識別番号】 100091351  
    【弁理士】  
    【氏名又は名称】 河野 哲  
【選任した代理人】  
    【識別番号】 100088683  
    【弁理士】  
    【氏名又は名称】 中村 誠  
【選任した代理人】  
    【識別番号】 100108855  
    【弁理士】  
    【氏名又は名称】 蔵田 昌俊  
【選任した代理人】  
    【識別番号】 100084618  
    【弁理士】  
    【氏名又は名称】 村松 貞男  
【選任した代理人】  
    【識別番号】 100092196  
    【弁理士】  
    【氏名又は名称】 橋本 良郎  
【手数料の表示】  
    【予納台帳番号】 011567  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

被保護半導体装置の外部接続端子と基準端子との間にコレクタ、エミッタが接続された NPN 型バイポーラトランジスタと、

この NPN 型バイポーラトランジスタのベースとコレクタとの間に接続されたドレイン端子とソース端子とを有し、前記 NPN 型バイポーラトランジスタのベースにベース電流を供給する PMOS トランジスタと、

前記外部接続端子における電圧に応答して前記 PMOS トランジスタのゲートに制御信号を供給する制御回路と、

を具備することを特徴とする保護回路を有する半導体装置。

**【請求項 2】**

前記 NPN 型バイポーラトランジスタのベースとエミッタとの間に接続された抵抗を有することを特徴とする請求項 1 に記載の保護回路を有する半導体装置。

**【請求項 3】**

前記 NPN 型バイポーラトランジスタのベースとエミッタとの間に接続されたドレイン端子とソース端子と、前記制御回路の制御信号が供給されるゲート端子とを有する NMOS トランジスタを有することを特徴とする請求項 1 に記載の保護回路を有する半導体装置。

**【請求項 4】**

被保護半導体装置のデータ入出力端子と基準端子との間にコレクタ、エミッタが接続された NPN 型バイポーラトランジスタと、

前記データ入出力端子における電圧に応答して制御信号を出力する制御回路と、

前記 NPN 型バイポーラトランジスタのベースに接続された出力端子を有し、前記被保護半導体装置の電源端子の電圧と前記制御回路の制御信号とに基づいて論理動作を行い、前記出力端子から前記 NPN 型バイポーラトランジスタのベースにベース電流を供給する論理回路を含むことを特徴とする保護回路を有する半導体装置。

**【請求項 5】**

前記論理回路は前記電源端子の電圧と前記制御回路の制御信号とを入力とする NOR 回路を含むことを特徴とする請求項 4 に記載の保護回路を有する半導体装置。

**【請求項 6】**

前記制御回路は、前記 NPN 型バイポーラトランジスタのコレクタ、エミッタ間に接続された抵抗とキャパシタとを含む直列回路を有することを特徴とする請求項 1 または請求項 4 に記載の保護回路を有する半導体装置。

**【請求項 7】**

前記制御回路は、前記 NPN 型バイポーラトランジスタのコレクタ、エミッタ間に接続された抵抗とダイオードとを含む直列回路を有することを特徴とする請求項 1 または請求項 4 に記載の保護回路を有する半導体装置。

**【請求項 8】**

さらに、前記外部接続端子と基準端子との間に接続された入出力バッファ用の第 1 の NMOS トランジスタと、前記外部接続端子と基準端子との間に前記入出力バッファの保護回路として接続された第 2 の NMOS トランジスタとを有し、

前記 NPN 型バイポーラトランジスタは、前記第 1 の NMOS トランジスタを形成している P 型領域をベースとし、前記第 2 の NMOS トランジスタのソース、ドレインを形成している N 型領域をエミッタ、コレクタとする NPN 型バイポーラ素子であることを特徴とする請求項 1 または請求項 4 に記載の保護回路を有する半導体装置。

**【請求項 9】**

被保護半導体装置の第 1 の電源端子と基準端子との間にコレクタ、エミッタが接続された NPN 型バイポーラトランジスタと、

前記第 1 の電源端子における電圧に応答して制御信号を出力する制御回路と、

前記 NPN 型バイポーラトランジスタのベースに接続された出力端子を有し、前記被保

護半導体装置の第 2 の電源端子の電圧と前記制御回路の制御信号とに基づいて論理動作を行い、前記出力端子から前記 N P N 型バイポーラトランジスタのベースにベース電流を供給する論理回路を含むことを特徴とする保護回路を有する半導体装置。

【書類名】明細書

【発明の名称】保護回路を有する半導体装置

【技術分野】

【0001】

本発明は、予め設定された絶縁破壊電圧以上の高電圧に対する保護回路を有する半導体装置、例えばESD (electrostatic discharge)、即ち静電気の放電による絶縁破壊などのダメージから被保護半導体装置を保護する為の保護回路を有する半導体装置に関する。

【背景技術】

【0002】

ESDによるダメージから半導体装置を保護するために、従来ではSCRや保護MOSなどの保護回路が用いられていた。一般に、この種の保護回路は外部からのESDを受け得る可能性のある外部接続端子と基準端子、例えば電源端子と接地端子との間に形成され、ESDによるダメージが被保護半導体装置の内部回路に及ばないように構成される。ESD電圧が外部接続端子に印加されると、保護回路がこれを検知して静電気を接地端子に放電させる。この時、この保護回路の放電経路内の電圧はゼロとはならず、外部接続端子と基準端子との間に保護回路によるホールド電圧が発生する。このホールド電圧は保護回路によるクランプ電圧とも称される。

【0003】

保護対象となる半導体装置の内部の素子、例えばMOSトランジスタの微細化が進むと、そのゲート絶縁膜の絶縁破壊電圧が低くなり、保護回路のホールド電圧がこれより高いと、ゲートの絶縁破壊が生じる可能性がある。従って、ホールド電圧もできるだけ低くする必要が生じてきている。

【0004】

例えば非特許文献1のFig. 11には、被保護半導体装置の入力または出力パッドとVSS端子との間に、キャパシタと抵抗(CR)によるESD検知回路と、クランプ素子として用いるNMOSトランジスタを組み合わせる構成された保護回路が示されている。しかしながら、このNMOSトランジスタに寄生したNPNバイポーラトランジスタのVCE、VBE電圧が必要であることと、この寄生NPNバイポーラトランジスタのベース電流供給手段として用いられる他のNMOSトランジスタのVth電圧を超えるゲートバイアス電圧が必要である。この寄生NPNバイポーラトランジスタとこの他のNMOSトランジスタとは直列に構成されるので、クランプ電圧はVBE + Vthとなり、ホールド電圧、即ちクランプ電圧も十分に低くできない。

【非特許文献1】IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 38, No2, FEBRUARY 2003, "Substrate-Triggered ESD Protection Circuit Without Extra Process Modification", Ming-Dou Ker, Senior Member, IEEE, and Tung-Yang Chen, Member, IEEE.

【発明の開示】

【発明が解決しようとする課題】

【0005】

従って、この発明は、予め設定された絶縁破壊電圧以上の高電圧、例えばESD電圧による電流を速やかに放電できるとともにホールド電圧も低くでき、半導体素子の微細化にも対応し構成素子サイズも小さい保護回路を有する半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

この発明の一態様の保護回路を有する半導体装置は、被保護半導体装置の外部接続端子と基準端子との間にコレクタ、エミッタが接続されたNPN型バイポーラトランジスタと、このNPN型バイポーラトランジスタのベースとコレクタとの間に接続されたドレイン端子とソース端子ならびに前記基準端子に接続されたゲートとを有し、前記NPN型バイ

ポーラトランジスタのベースにベース電流を供給するPMOSトランジスタと、前記外部接続端子における電圧に応答して前記PMOSトランジスタのゲートに制御信号を供給する制御回路とを具備することを特徴として構成される。

【発明の効果】

【0007】

この発明によれば、ESDなどの高電圧に起因する異常電流を速やかに放電できるとともにホールド電圧も低くでき、半導体素子の微細化にも対応し構成素子サイズも小さい保護回路を有する半導体装置を提供することができる。

【発明を実施するための最良の形態】

【0008】

以下、図面を参照してこの発明の実施形態を詳細に説明する。図1はこの発明の第1の実施形態の保護回路を有する半導体装置の構成を示すブロック図である。図において、内部回路11の定格電源電圧は、外部接続端子T1と接地された基準端子T2に接続されている電源線L1、L2から供給される。内部回路11と端子T1、T2との間には保護回路が接続される。保護回路に含まれるNPN型バイポーラトランジスタ12のコレクタ、エミッタは電源線L1、L2間に接続され、そのベースはPMOSトランジスタ13と抵抗14との間に形成された接続ノードに接続される。このNPN型バイポーラトランジスタ12は、後で詳細に説明するように、外部接続端子T1に外部から定格電源電圧より高い異常電圧、例えばESDによる高電圧が印加されたときに、このESDによる放電電流（ESD電流と称する）を吸収して接地された端子T2に流すための電流吸収手段である。

【0009】

PMOSトランジスタ13のソースは、そのバックゲートとともに外部入力端子T1に接続され、抵抗14の他端は基準端子T2に接続され、ゲートは抵抗15とキャパシタ16の接続ノードに接続される。このPMOSトランジスタ13は、端子T1から内部回路11に悪影響を与えるESD電圧などの異常高電圧が印加されたときに、NPN型バイポーラトランジスタ12のベースにベース電流を供給する。このPMOSトランジスタ13は、NPN型バイポーラトランジスタ12がその電流増幅率に応じて大電流を流すことができるように設定するためのベース電流供給回路である。また、抵抗15とキャパシタ16との直列回路は、端子T1に供給されるESD電圧を検知して、その検知出力をPMOSトランジスタ13のゲートに与え、このPMOSトランジスタ13のオンオフ動作を制御するための制御回路を構成している。内部回路11と端子T1、T2との間に接続されたこれらの素子12～16が、内部回路11、即ち半導体装置の保護回路を構成している。

【0010】

以下、図1の実施形態の動作を説明する。

【0011】

まず、外部接続端子T1にESD電圧が印加されない状態で、電源線L1、L2間に定格電源電圧VDD、VSSが供給されているものとする。この状態では、キャパシタ16は略電源線L1の電圧VDDに充電され、抵抗15とキャパシタ16との接続ノードの電位は電源線L1と略同じとなり、PMOSトランジスタ13はオフ状態である。この結果、NPN型バイポーラトランジスタ12のベースにはベース電流が供給されないため、このNPN型バイポーラトランジスタ12もオフ状態である。従って、電源電圧VDDが供給されているときは、トランジスタ12、13などで構成される保護回路は動作しない。

【0012】

一方、電源線L1に定格電圧VDDが供給されていない状態で、外部接続端子T1に高いESD電圧が印加された場合を説明する。この場合、電源線L2は接地されている。尚、以下のすべての実施形態でも、ESDの放電のために電源線L2は同様に接地されていることが前提となる。ESD電圧により、PMOSトランジスタ13の電源線L1に接続されている側の端子の電圧は即時に高くなる。これと同時に、NPN型バイポーラトランジスタ12のコレクタにも高い電圧が印加される。

## 【0013】

一方、抵抗15とキャパシタ16との接続ノードではゼロ電位であり、PMOSトランジスタ13のゲート端子の電位は抵抗15とキャパシタ16とによる時定数のためにすぐには上昇しない。この為、PMOSトランジスタ13は実質的にオンのバイアス状態となり、ESD電圧による電流がPMOSトランジスタ13からNPN型バイポーラトランジスタ12のベースに流れ込み、このNPN型バイポーラトランジスタ12はオンとなる。

## 【0014】

一般に、NPN型バイポーラトランジスタ12はそのベース電流に対する電流増幅率 $h_{fe}$ が非常に大きく、従って、PMOSトランジスタ13により供給されたベース電流の $h_{fe}$ 倍の電流がNPN型バイポーラトランジスタ12に流れることになる。例えば、NPNバイポーラトランジスタ12を通して流れるESD電流は3Aにもなるが、このトランジスタ12の $h_{fe}$ を3とすると、PMOSトランジスタ13からトランジスタ12のベースに流れるベース電流は1A程度で良い。

## 【0015】

これにより、外部接続端子T1に印加されたESDによる放電電流は、NPN型バイポーラトランジスタ12により速やかに効果的に吸収され、接地された端子T2にバイパスされ、内部回路11はESD電圧、電流によるダメージから保護されることになる。

## 【0016】

このESD電流の吸収動作の際に内部回路11に印加されるホールド電圧 $V_h$ は、NPN型バイポーラトランジスタ12のベース、エミッタ間電圧 $V_{BE}$ とオン状態のPMOSトランジスタ13の閾値電圧 $V_{th}$ のいずれか高い方の電圧と等しくなる。例えば、 $V_{th}$ が0.4ボルト、 $V_{BE}$ が0.7ボルトであるときは、この実施形態の保護回路のホールド電圧 $V_h$ は0.7ボルトとなる。

## 【0017】

このように、この実施形態ではホールド電圧を極めて低い値に設定できるため、内部回路11の構成素子の微細化が進んで、例えばMOSトランジスタのゲート耐圧が低下しても、内部回路11はESDに起因するダメージから十分に保護される。また、保護回路を構成する素子サイズも小さいので、保護回路を組み込んで例えば半導体集積回路装置を構成した場合も、その小型化が実現できる。

## 【0018】

図6は図1に示した実施形態の保護回路を構成するESD電流のバイパス素子である、NPN型バイポーラトランジスタ12の電流パス幅とクランプ電圧（ホールド電圧）との関係を、従来の保護回路における電流パス幅とクランプ電圧との関係とともに示したグラフである。ここで、電流パス幅はESD電流を流す素子のチャネル幅であり、バイポーラトランジスタの場合はベースに形成されるチャネル幅、MOSトランジスタの場合にはゲート幅である。

## 【0019】

図6において、曲線Aは従来のESD保護回路のクランプ用MOS素子の電流パス幅、即ちゲート幅とクランプ電圧との関係を示す。曲線Aから分かるように、この従来の場合は、MOS素子のゲート幅サイズを下げようとするときクランプ電圧が極めて大きくなってしまう。

## 【0020】

曲線Bは従来のSCRを用いた保護回路の特性を示し、サイズ、即ち電流パス幅の小さい領域で曲線Aの場合よりクランプ電圧を比較的低くできることが分かる。しかしながら、電流容量を大きくするためにNPN素子の電流パス幅を大きくして行くとクランプ電圧の低下に限界があり、曲線Aと交叉する交点より電流パス幅の大きい部分では、曲線Aの場合よりもクランプ電圧が高くなってしまう。

## 【0021】

これらの従来の保護回路に対して、曲線Cで示した図1の実施形態の場合は、電流パス幅のすべての領域でクランプ電圧が従来の曲線A、曲線Bのいずれの場合よりも低くなっ



ており、半導体装置の内部回路の素子の微細化に充分対応できることは明白である。

#### 【0022】

尚、図1の実施形態では、NPN型バイポーラトランジスタ12は、PMOSトランジスタ13からベース電流が供給されることで、はじめてオンとなるから、抵抗14は不可欠な素子ではなく、省略してもよい。

#### 【0023】

また、NPN型バイポーラトランジスタ12はPMOSトランジスタ13からベース電流が供給されることでオンとなるから、PMOSトランジスタ13がオン状態とならないとNPN型バイポーラトランジスタ12もオンとはならない構成となっている。しかしながら、NPN型バイポーラトランジスタ12が何らかの原因で誤動作してオンとなると、電源線L1、L2間が殆ど短絡されてしまう不都合が生じる。従って、電源線L1、L2からの定格電源電圧により内部回路11が通常状態で動作しているときには、NPN型バイポーラトランジスタ12は必ずオフ状態に保持されていなければならない。

#### 【0024】

図2に示すこの発明の他の実施形態では、このようなNPN型バイポーラトランジスタ12の誤動作による不都合発生を防止することができる構成の一例をブロック図で示す。ここで、図1の実施形態と同じ、または類似の構成については同じ、または類似の参照符号を付して、説明の重複を避ける。

#### 【0025】

図2の実施形態では、図1におけるトランジスタ12のベース電流供給回路を構成するPMOSトランジスタ13と抵抗14のうち、抵抗14の代わりにNMOSトランジスタ14aを用いて、PMOSトランジスタ13と組み合わせることにより構成されたインバータ回路17が用いられる。図2に示すように、NMOSトランジスタ14aのゲートは、PMOSトランジスタ13のゲートと共通に抵抗5とキャパシタ16との接続ノードに接続され、ソース、ドレインはNPN型バイポーラトランジスタ12のベース、エミッタ間に接続される。この結果、トランジスタ13、14aによりCMOS構造のインバータ回路17が形成される。

#### 【0026】

図2において、NPN型バイポーラトランジスタ12は、図1と同様に電源線L1、L2におけるESDからの内部回路11の保護のためのクランプ素子であり、抵抗15、キャパシタ16はESD電圧の検知回路を構成する。図1の実施の形態と異なる点は、この検知回路の抵抗15、キャパシタ16の接続ノードをPMOSトランジスタ13に接続する代わりに、論理回路であるCMOSインバータ回路17の入力側に接続する点である。このインバータ回路17の出力側がNPNバイポーラトランジスタ12のベースに接続される。

#### 【0027】

定格電源電圧VDDが電源線L1に供給されている通常の状態では、図1の実施形態と同様にインバータ回路17の入力はHレベルであるから、NMOSトランジスタ14aがオンとなり、インバータ回路17の出力はLレベルとなる。従って、トランジスタ12のベースは接地された電源線L2にインバータ回路17の低抵抗状態のNMOSトランジスタ14aを介して接続され、NPN型バイポーラトランジスタ12は論理的に確実にオフ状態に維持される。

#### 【0028】

また、電圧VDDが印加されていない状態で端子T1に高いESD電圧が印加されると、インバータ回路17の入力がLであるから、PMOSトランジスタ13がオンし、トランジスタ12のベースにはベース電流が供給される。この結果、トランジスタ12がオンとなり、ESD電流が端子T1から接地された端子T2に向けて速やかに放電される。

#### 【0029】

この放電により端子T1におけるESD電圧が低下して所定の電圧以下になると、キャパシタ16の蓄積電荷によりインバータ回路17の入力側がHとなり、NMOSトランジ

スタ 14 a がオンとなり、トランジスタ 12 がオフとなり、この状態が論理的に保持される。

#### 【0030】

このように、図 2 の実施形態では、電源線 L 1、L 2 から定格電源電圧により内部回路 11 が通常状態で動作しているときには、NPN 型バイポーラトランジスタ 12 は論理的に必ずオフ状態に保持されることになる。

#### 【0031】

図 3 に更に他の実施形態を示す。図 1 の実施形態では電源線 L 1 に関して保護回路を設けたが、同様にして保護回路を内部回路 11 の I/O 端子 T 3 に関して設けることもできる。図 3 に示すように、I/O 端子 T 3 はバッファ 18 を介して内部回路 11 と接続され、この場合は出力端子として用いられる。ここで、図 1、図 2 と同じ部分は同じ参照符号を付して説明を省略する。

#### 【0032】

この実施形態では、NPN 型バイポーラトランジスタ 12 b は内部回路 11 内の図示しない I/O 回路の保護回路のクランプ素子として、端子 T 3 と接地線 L 2 との間に接続される。従って、抵抗 15 b とキャパシタ 16 b とは、端子 T 3 に印加される ESD 電圧を検知する検知回路を構成し、その検知出力が抵抗 15 b とキャパシタ 16 b の接続ノードから論理回路を構成する NOR ゲート 19 の一方の入力端子に供給される。

#### 【0033】

この NOR ゲート 19 の他方の入力として、電源線 L 1 上の電圧が供給され、電源端子 T 1、T 2 は電源線 L 1、L 2 に接続される。NOR ゲート 19 の出力側はインバータで構成されるが、このインバータは図 2 に示す CMOS 構造のインバータ回路 17 と同様のものが用いられる。

#### 【0034】

この構成で、端子 T 3 に ESD 電圧が印加されない状態において、端子 T 1 に定格電源電圧が供給されていると、電源線 L 1 から常に H レベルの電圧が NOR ゲート 19 の一方の入力端に供給される。従ってこの状態では内部回路 11 からインバータ 18 を介して H レベルまたは L レベルの論理信号が出力されている。したがって、抵抗 15 b、キャパシタ 16 b による検知回路の出力レベルも H、L いずれかとなるが、いずれの場合であっても、他方の入力が H レベルであるから、NOR ゲート 19 の出力は必ず L レベルとなる。これにより NPN 型バイポーラトランジスタ 12 のベース電位は L レベルにクランプされ、このトランジスタ 12 が誤動作してオンとなることが論理的に防止できる。

#### 【0035】

ここで、端子 T 1 に電源電圧が供給されていない状態で、端子 T 3 に ESD 電圧が印加されると、ESD 検知用の素子 15 b、16 b の接続ノードが L となる。この時、NOR ゲート 19 の端子 T 1 側の入力レベルも L であるから、その出力側の CMOS インバータ回路の出力が H レベルになり、図 2 の実施形態と同様に、NPN 型バイポーラトランジスタ 12 b がオンとなり、端子 T 3 における ESD 電流はこのトランジスタ 12 b を介して接地された電源線 L 2 に速やかに放電される。

#### 【0036】

尚、図 3 の保護回路において、NOR ゲート 19 の入力論理レベルをキャパシタ 16 b により設定しているが、この代わりに図 4 に示すように複数のダイオード D を直列に接続した直列回路 20 を用いてもよい。直列回路 20 の両端には、各ダイオード D の順方向電圧の合計の電圧が現れ、これを用いて NOR ゲート 19 の入力論理レベルを設定する。このダイオード直列回路 20 は、端子 T 3、T 2 間に通常の電圧が供給されている間は電流が流れないが、それより高い ESD 電圧が印加されたときに電流が流れ、ダイオードの端子間電圧が増加しなくなる。このように、順方向接続されたダイオード D の端子間の電圧、電流特性が非直線的に変化することを用いて、途中で増加率が低く切り替えられる電圧が NOR ゲート 19 の入力として与えられることになる。即ち、ダイオード D の端子間電圧がその閾値電圧に達するまではダイオード回路 20 には殆ど電流は流れず、抵抗 15 b

とダイオード回路 20 との接続ノードのレベルは L である。したがって、NOR ゲート 19 は H レベルを出力し、NPN 型バイポーラトランジスタ 12b が速やかに導通され、ESD は放電される。ダイオード D の端子間電圧が閾値を超えると、その端子間電圧の変化の傾きが大きくなるのに対して電流が急激に増加し、抵抗 15b における電圧降下分が大きくなり、NOR ゲート 19 の入力レベル L は維持され、その出力レベルも H レベルに維持される。この結果、ESD 電圧は速やかに放電される。この場合も NOR ゲート 19 の出力側には CMOS インバータ回路が接続されており、図 2 の場合の同様に NPN 型バイポーラトランジスタ 12b にベース電流が供給されることになる。

#### 【0037】

図 4 の実施形態において、残りの部分は図 3 の実施形態と同じである。

#### 【0038】

図 5 により、この発明の更に他の実施形態の説明を行う。図 5 において、端子 T1、T2 間には PMOS トランジスタ 31 と NMOS トランジスタ 32 とで構成されたインバータ回路が接続される。トランジスタ 31、32 のゲートは共通にインバータ回路 33 の出力側に接続され、インバータ回路 33 の入力側は図示しない内部回路のデータ入出力端子に接続される。これらのトランジスタ 31、32 によるインバータ回路とインバータ回路 33 とにより I/O バッファ回路を構成している。

#### 【0039】

この I/O バッファ回路とデータ入出力 (I/O) 端子 T3 との間には、I/O 保護回路が接続される。この I/O 保護回路は、端子 T3、T2 間に直列に接続された抵抗 15 とキャパシタ 16 とでなる ESD 検知回路と、端子 T1、T2 間の電圧で駆動され、端子 T1 の電圧と ESD 検知回路の出力とが論理入力として与えられる NOR 回路 17 と、この NOR 回路 17 の出力がバックゲートに供給され、ゲートが接地され、端子 T2、T3 間に接続された NMOS トランジスタ 34 とより構成される。更に、図 5 の実施形態では、この NMOS トランジスタ 34 の P 型のバックゲート領域をベースとし、NMOS トランジスタ 32 の N 型のソース、ドレインをコレクタ、エミッタとして寄生する NPN 型バイポーラ素子 35 が存在する。図 5 ではこの NPN 型バイポーラ素子 35 を破線で示してある。この NPN 型バイポーラ素子 35 は図 1、図 2 の実施形態と同様に ESD 放電素子として動作する。これにより、I/O バッファ回路用の ESD 保護回路の構成を簡単にでき、チップ上の占有面積も小さくなる。

#### 【0040】

図 7 はこの発明の更に他の実施形態の回路構成を示すブロック図である。図 7 において、図 1 乃至図 5 の実施形態と同じ、若しくは同様の構成は対応する参照番号を付してその説明を省略する。図 7 において、内部回路 11 は端子 T1、T3 から供給される夫々電源電圧 VDD1、VDD2 により駆動される、例えば論理回路とメモリ回路とを含む。電源電圧 VDD1 は電源線 L1 を介して端子 T1 から供給され、例えばそれより低い電源電圧 VDD2 は電源線 L3 を介して端子 T3 から供給される。内部回路 11 は接地された電源線 L2 ならびにこれら 2 本の電源線 L1、L3 に接続される。

#### 【0041】

一方の電源線 L1 と接地線 L2 との間には、抵抗 15、キャパシタ 16 で構成される ESD 検知回路が接続される。ESD 検知回路の出力は NOR ゲート 19 の一方の入力として与えられ、他方の入力としては電源線 L3 からの第 2 の電源電圧 VDD2 が与えられる。NOR ゲート 19 の出力は、電源線 L1、L2 間に接続された NPN 型バイポーラトランジスタ 12 のベースに供給される。

#### 【0042】

図 7 の実施形態の回路において、電源線 L1、L3 のいずれにも電源電圧 VDD1、VDD2 が供給されていないものとする。この状態で、例えば一方の端子 T1 に ESD によるサージ電圧が印加されると、抵抗素子 15、キャパシタ 16 で構成された ESD 検知回路がこれを検知し、NOR ゲート 19 の一方の入力端が L レベルとなる。NOR ゲート 19 の他方の入力端子は電源線 L3 に接続されているから L レベルであり、結果として、NOR

ゲート 19 からは H レベルの出力が NPN 型バイポーラトランジスタ 12 のベースにベース電流として供給され、このトランジスタ 12 が導通して ESD 電流が急速に放電される。なお、電源線 L1、L3 のいずれか、または双方に電源電圧 VDD1、VDD2 のいずれかまたは両方が供給されている場合は、NOR ゲート 19 の出力はいずれも L レベルとなり、NPN 型バイポーラトランジスタ 12 は導通しない。即ち、保護回路は動作しないことになる。

#### 【0043】

このように、図 7 の実施形態の回路は、電源線 L1、L3 のいずれにも電源電圧 VDD1、VDD2 が供給されていない場合にのみ、上記の説明のように ESD に対する保護回路として有効に動作する。しかしながら、電源線 L1、L3 の少なくともいずれか一方に正規の電源電圧が供給されている場合には、NOR ゲート 19 はその一方の入力として H レベルが供給されることになり、この NOR ゲート 19 L レベルを出力することになり、NPN 型バイポーラトランジスタ 12 導通しないことにより、確実に素子の破壊を防止することができる。尚、これらの電圧 VDD1、VDD2 は互いに同じ値に設定しても良いし、一方が他方より高い電圧であってもよい。

#### 【0044】

図 7 の回路は電源線 L3 から NOR ゲート 19 の一方の論理入力を得ているが、同様の回路をもう一組用い、電源線 L1 から NOR ゲートの一方の論理入力を得、ESD 検知回路を他方の電源線 L3 に接続するようにすれば、電源線 L1、L3 のいずれに ESD が供給された場合にも対応できる保護回路を構成できる。同様に、電源が内部回路に対して 3 個以上設けられている場合にもそれぞれの電源線に対して図 7 の回路を設けることにより対応できることになる。

#### 【0045】

また、VDD1 と VDD2 とが異なっている場合は、図 7 の回路を夫々の電源電圧に対応させて設けるが、それぞれに対応させて設けられる NOR 回路の閾値を夫々適切に設定することによって上記異なる電圧に対する動作を確実に行うことができる。例えば、図 7 において、VDD1 が 3 V、VDD2 が 1.5 V に設定された場合、NOR ゲート 19 の閾値を例えば 0.8 V に設定すれば良い。

#### 【0046】

以上に説明したように、この発明によれば、ESD の放電電流により発生する保護回路によるホールド電圧を低くでき、構成素子の微細化に適応できる保護回路を有する半導体装置を提供することができる。

#### 【図面の簡単な説明】

#### 【0047】

【図 1】本発明の一実施形態の回路構成を示すブロック図。

【図 2】本発明の他の実施形態の回路構成を示すブロック図。

【図 3】本発明の更に他の実施形態の回路構成を示すブロック図。

【図 4】本発明の更に他の実施形態の回路構成を示すブロック図。

【図 5】本発明の更に他の実施形態の回路構成を示すブロック図。

【図 6】図 1 に示した実施形態に用いられている NPN 型バイポーラトランジスタのクランプ電圧と電流パス幅との関係を従来の保護回路素子と比較して示すグラフ。

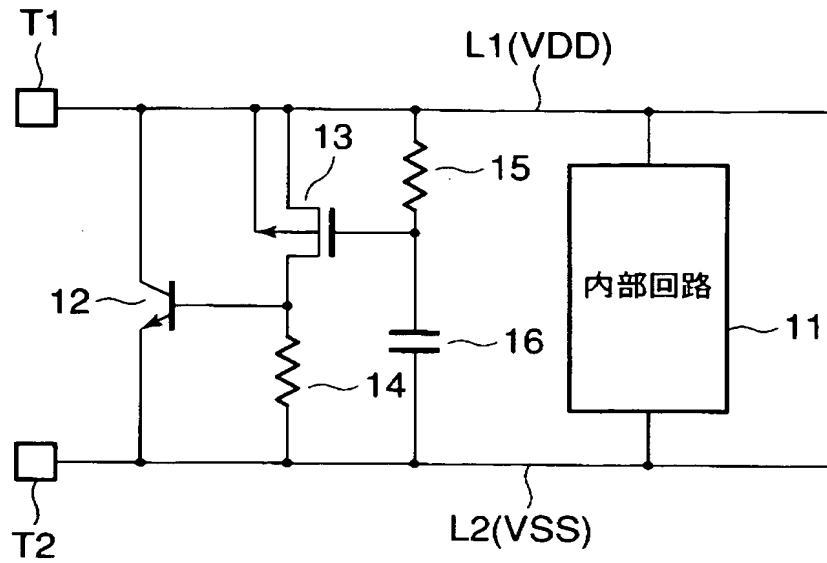
【図 7】この発明の更に他の実施形態の回路構成を示すブロック図。

#### 【符号の説明】

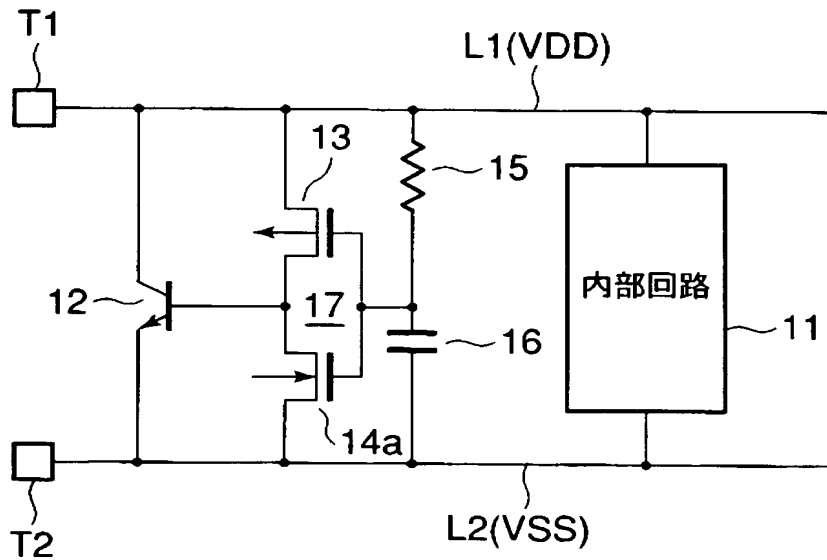
#### 【0048】

T1、T2、T3…外部接続端子、11…内部回路、12、12b、12c、12d、35…NPN 型バイポーラトランジスタ、13…PMOS トランジスタ、14、15、15b、15c、15d…抵抗素子、14a…NMOS トランジスタ、16、16c、16d…キャパシタ、17、18、33…インバータ、L1、L2、L3…電源線、19、19a、19b…NOR ゲート。

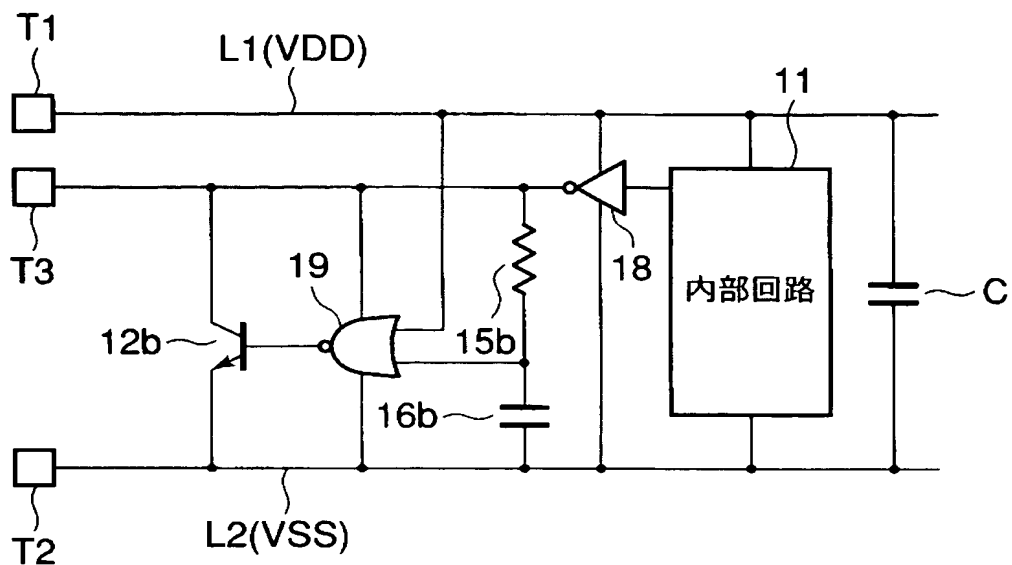
【書類名】 図面  
【図 1】



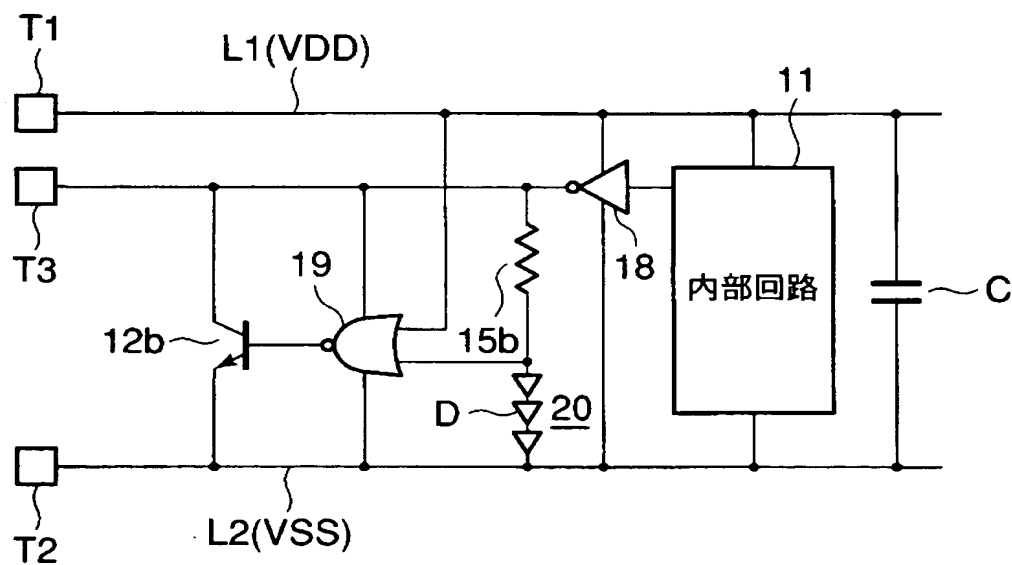
【図 2】



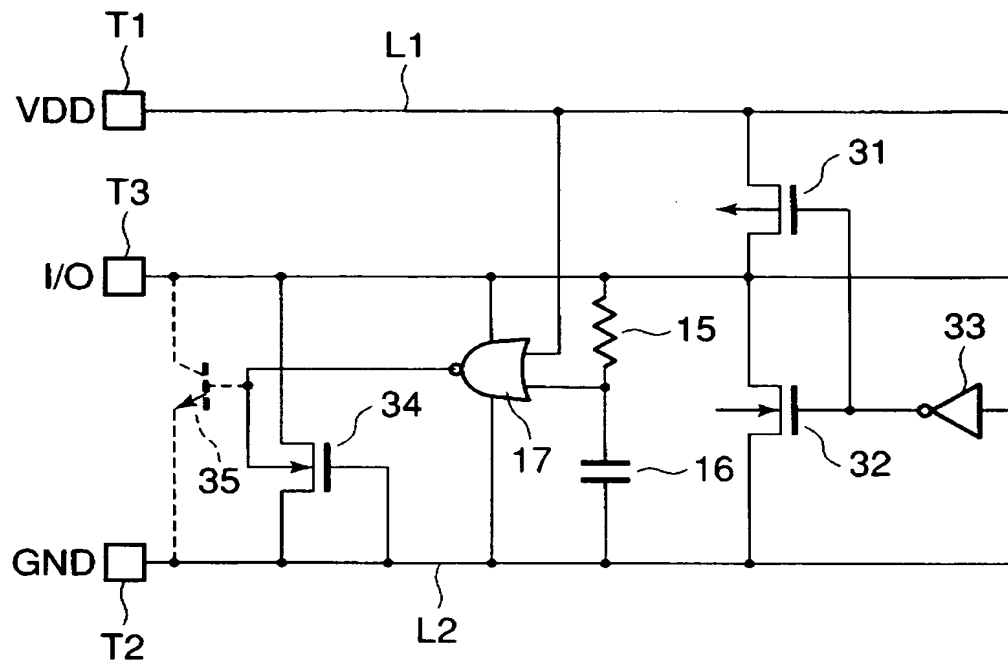
【図 3】



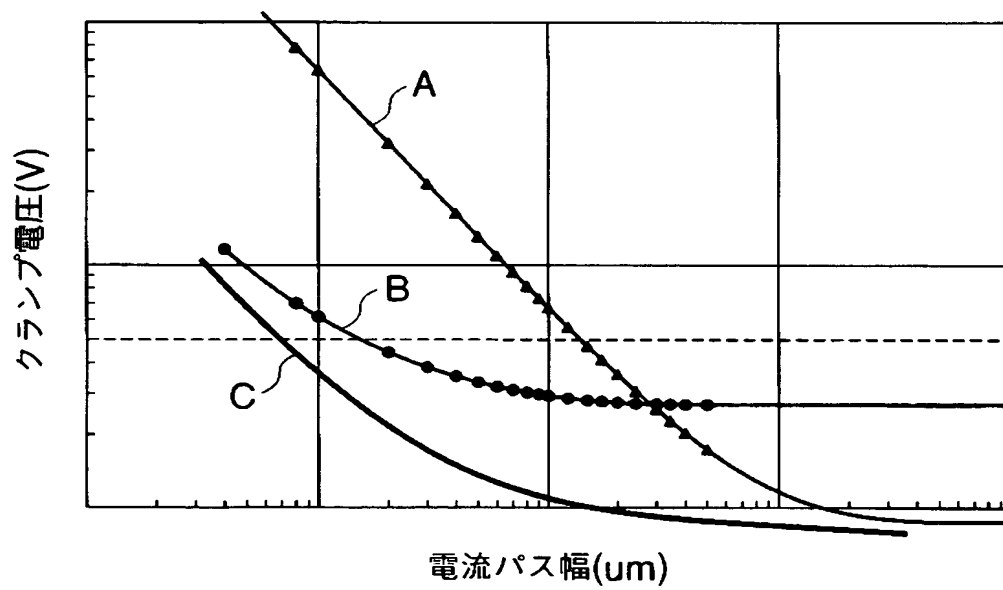
【図 4】



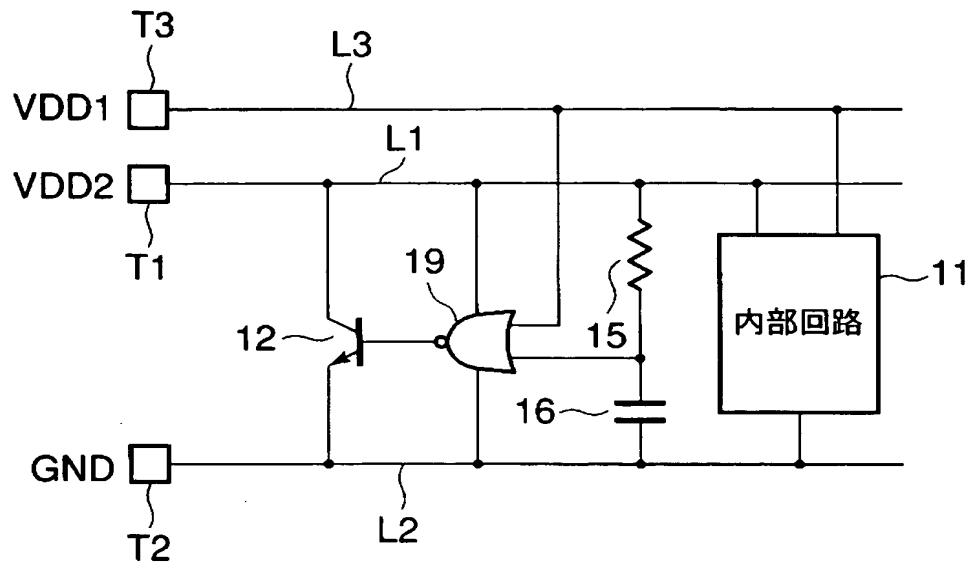
【図 5】



【図 6】



【図 7】





【書類名】 要約書

【要約】

【課題】 E S D の放電電流により発生するホールド電圧を低くして半導体装置の構成素子の微細化に適応できる保護回路を有する半導体装置を提供する。

【解決手段】 半導体装置の電源端子や I / O 端子などの外部接続端子 T 1 と接地端子などの基準端子 T 2 との間に N P N 型バイポーラトランジスタ 1 2 を接続し、この N P N 型バイポーラトランジスタ 1 2 のベースとコレクタとの間に P M O S トランジスタ 1 3 を接続し、 E S D 電圧を検知する制御回路 1 5 、 1 6 の出力信号によりこの P M O S トランジスタ 1 3 を導通させることにより端子 T 1 から T 2 に対して E S D 電流を放電させる。

【選択図】 図 1

特願 2 0 0 3 - 3 2 1 0 6 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝